

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)
MAGRI' ET AL.)
Serial No. 10/749,134)
Filing Date: December 30, 2003)
For: VERTICAL-CONDUCTION AND)
PLANAR-STRUCTURE MOS DEVICE)
WITH A DOUBLE THICKNESS OF)
GATE OXIDE AND METHOD)
REALIZING POWER VERTICAL MOS)
TRANSISTORS WITH IMPROVED)
STATIC AND DYNAMIC)
PERFORMANCES AND HIGH SCALING)
DOWN DENSITY)


TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS MISSING PARTS
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA 22313-1450

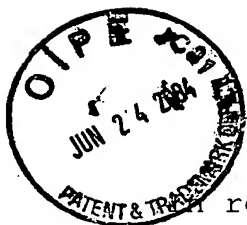
Sir:

Transmitted herewith is a certified copy of the
priority European Application No. 02425803.0.

Respectfully submitted,


MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant

THIS PAGE BLANK (USPTO)



re Patent Application of:
MAGRI' ET AL.
Serial No. **10/749,134**
Filing Date: **December 30, 2003**

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: MAIL STOP MISSING PARTS, COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-1450, on this 21st day of June, 2004.

Justin Dour

THIS PAGE BLANK (USPTO)



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425803.0

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 02425803.0
Demande no:

Anmeldetag:
Date of filing: 30.12.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Method for realising VLI power vertical mos devices with improved static and
dynamic performances

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SI SK

THIS PAGE BLANK (USPTO)

Titolo: Metodo per l'ottenimento di dispositivi MOS Verticali di potenza con migliorate prestazioni statiche e dinamiche e ad alta densità d'integrazione.

DESCRIZIONE

- 5 La presente invenzione si riferisce, nel suo aspetto più generale, a dispositivi MOS di potenza a conduzione verticale e ad un metodo per il loro ottenimento su scala industriale con alta densità d'integrazione.

In particolare questa invenzione concerne un metodo per l'ottenimento di dispositivi MOS di potenza a conduzione verticale a partire da
10 corrispondenti strutture MOS planari.

Più in particolare ancora la presente invenzione si riferisce ad un metodo per ridurre la capacità di dispositivi MOS del tipo considerato, agendo contemporaneamente ed in modo autoallineato su corrispondenti strutture MOS planari.

15 Arte Nota

E' noto che in un dispositivo VDMOS la componente resistiva dovuta alla zona di jfet che si viene a creare tra una sacca di body e l'altra, rappresenta un limite all'aumento della densità di impacchettamento e quindi un limite al miglioramento delle performance statiche e
20 dinamiche del dispositivo stesso.

Infatti la resistenza di jfet dipende, oltre che dalla resistività dello strato epitassiale, anche dalla distanza tra le due sacche di body contigue. Anche le capacità associate all'ossido di gate e quindi la capacità di ritenzione della carica da parte della regione di gate dipendono, in verso
25 opposto, da questa distanza.

D'altro canto è noto che migliorare la resistenza di uscita aumentando la spaziatura tra le sacche di body, significa penalizzare le caratteristiche dinamiche del dispositivo considerato.

Questa problematica è stata presente fin ora soprattutto nei dispositivi

MOS di alta tensione (~500V) a causa dell'alta resistività dello strato epitassiale (~20Ω*cm), mentre nei dispositivi di bassa tensione (30-60V) la questione è ritenuta sostanzialmente irrilevante a causa della bassa resistività dello strato epitassiale (<1Ω*cm).

- 5 E' noto anche che, per quanto riguarda i dispositivi PMOS, in particolare i PMOS di bassa tensione, la sempre maggiore densità d'integrazione (scaling down), e la realizzazione di lunghezze di canale submicrometriche pur ottenute con diverse tecnologie conosciute, ha portato a ridurre notevolmente le componenti della resistenza in uscita dovute al canale e a dare più rilevanza alla componente dovuta al Jfet ed alla necessità di ridurre le capacità.

A titolo rappresentativo di tale tendenza, viene mostrato nella seguente tabella 1 un confronto tra il peso relativo delle componenti della resistenza di uscita di un dispositivo P-channel da 30 Volt.

15 Tabella 1:

Componenti della resistenza di uscita per un dispositivo PMOS P-channel da 30 Volt	Peso relativo
Connessione die-package	25%
Contributo del substrato	12%
Contributo dello strato epi	12%
Contributo dovuto al Jfet tra le sacche di body	33%
Componente dovuta al canale	18%
R_{on}	100%

Per salvaguardare le caratteristiche dinamiche di un PMOS, e contemporaneamente migliorare la sua resistenza di uscita, sono stati messi a punto metodi basati riduzione della distanza tra le sacche di body. Tali metodi della tecnica nota prevedono fondamentalmente:

a) l'arricchimento superficiale tra le sacche di body in modo da ridurre localmente la resistività (brevetto I.R. U.S. No. 4.376.286 e 4.974.059);

b) l'uso di uno strato epitassiale superficiale a bassa resistività;

c) l'uso di una tecnologia trench.

- 5 I metodi a) o b) applicati nei dispositivi PMOS di bassa tensione comportano riconosciuti inconvenienti tecnici legati all'influenza che lo strato arricchito può avere sul canale.

Infatti, come è noto, in una struttura PMOS di bassa tensione:

- 10 - il drain è caratterizzato da uno strato epitassiale con concentrazione tra 1 e $5 \cdot 10^{16}$ at/cm³.

- gli ossidi di gate, a causa della bassa tensione di soglia (pilotaggio con $V_g < 4.5V$) e delle basse capacità richieste dalle applicazioni, hanno uno spessore non inferiore a 200 Å e le concentrazioni di picco nel canale non superano i 10^{17} at/cm³.

- 15 Ciò significa che la concentrazione massima nel canale è maggiore di quasi un ordine di grandezza della concentrazione dello strato epitassiale. Di conseguenza, non appena si tenta di arricchire in modo uniforme tutta la superficie, vengono profondamente alterate le caratteristiche del canale (tensione di soglia e lunghezza del canale)
20 compromettendo anche la funzionalità del dispositivo PMOS, questo fenomeno è conosciuto nel settore come punch through prematuro.

Con il terzo metodo citato, punto (c), si riesce ad eliminare la componente di jfet, ma non viene risolto il problema della capacità, perché nella maggior parte dei casi, l'area su cui insiste l'ossido di gate
25 risulta aumentata, come mostrato dal transistor 10 della figura 6.

Nel caso di un VDMOS a struttura planare l'area di gate è proporzionale alla distanza L ($1.5 - 4 \mu m$) mentre nel caso di un dispositivo a tecnologia trench essa è proporzionale alla somma della doppia profondità e della larghezza del trench ($2h + l \sim 2.5 - 4 \mu m$), si osservino a riguardo le figure

4 e 5.

Il problema tecnico che sta alla base della presente invenzione è quello di mettere a disposizione un metodo per l'ottenimento di dispositivi MOS di potenza, a conduzione verticale, aventi prestazioni statiche e
5 dinamiche migliorate rispetto ai dispositivi realizzati secondo lo stato dell'arte, nonché in grado di ridurre le capacità di tali dispositivi a parità di prestazioni statiche.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di utilizzare un doppio spessore di ossido di gate, uno strato di spessore
10 sottile nella regione di canale e uno strato di maggiore spessore al di sopra delle aree non attive. Nel contempo, è previsto un arricchimento della regione di JFET in modo da ridurre la spaziatura tra le regioni di body ed aumentare l'area di integrazione riducendo l'estensione della
15 superficie di ossido di gate.

Sulla base di questa idea di soluzione, il problema tecnico è risolto da un metodo per l'ottenimento di dispositivi MOS verticali del tipo considerato e caratterizzato dal fatto di comprendere le fasi di:

- 1) realizzare su una struttura MOS planare un doppio spessore per
20 l'ossido di gate comprendente uno strato sottile nella zona di canale di detta struttura, ed uno strato di spessore maggiore nelle zone non attive di essa e
- 2) realizzare, contemporaneamente ed in maniera autoallineata, un arricchimento nella zona di Jfet in modo da ridurre la spaziatura tra
25 due sacche di body contigue, ridurre la superficie di ossido di gate, con ottenimento di una maggiorata densità di impacchettamento.

Le caratteristiche ed i vantaggi del metodo secondo la presente invenzione risulteranno dalla descrizione, fatta qui di seguito, di un esempio di attuazione dato a titolo indicativo e non limitativo con
30 riferimento ai disegni allegati.

Breve descrizione dei disegni

- la figura 1 mostra una vista schematica in sezione verticale e in scala ingrandita di un dispositivo elettronico PMOS standard realizzato secondo l'arte nota;
- 5 - la figura 2 mostra una vista schematica in sezione verticale e in scala ingrandita di un dispositivo elettronico PMOS ad arricchimento realizzato secondo l'arte nota;
- la figura 3 mostra su un diagramma larghezza di canale vs. percentuale di drogaggio un confronto tra i dispositivi PMOS delle figure 1 e 2;
- 10 - la figura 4 mostra una vista schematica in sezione verticale e in scala ingrandita di un dispositivo elettronico VDMOS verticale realizzato secondo l'arte nota;
- la figura 5 mostra una vista schematica in sezione verticale e in scala ingrandita di un dispositivo elettronico MOS di tipo Trench realizzato secondo l'arte nota;
- 15 - la figura 6 mostra una vista schematica in sezione verticale e in scala ingrandita di un dispositivo elettronico MOS verticale realizzato in accordo con l'arte nota;
- 20 - la figura 7 mostra una vista schematica in sezione verticale e scala ingrandita di un dispositivo elettronico MOS verticale realizzato in accordo con la presente invenzione;
- le figure da 8 a 10 mostrano rispettive viste schematica in sezione verticale e in scala ingrandita del dispositivo PMOS secondo l'invenzione sottoposto a diverse fasi del metodo di fabbricazione;
- 25 - la figura 11 mostra su un diagramma la sezione verticale di un transistor realizzato secondo l'invenzione e ottenuta tramite simulazioni del metodo secondo l'invenzione.

Descrizione dettagliata

Con riferimento a tali figure, e in particolare agli esempi delle figure 7 e seguenti, con 1 è globalmente e schematicamente indicato un dispositivo elettronico a transistor MOS, in particolare di tipo PMOS, realizzato in accordo con il metodo della presente invenzione.

- 5 Le fasi di processo e le strutture descritte qui di seguito non formano un flusso completo di processo per la fabbricazione di circuiti integrati. Infatti, la presente invenzione può essere messa in pratica unitamente alle tecniche di fabbricazione dei circuiti integrati attualmente usate nel settore e qui di seguito sono descritte solo quelle fasi del processo
10 comunemente usate che sono necessarie per la comprensione dell'invenzione.

Le figure che rappresentano sezioni trasversali di porzioni di un circuito integrato durante la fabbricazione non sono disegnate in scala, ma sono invece disegnate in modo da illustrare le caratteristiche importanti
15 dell'invenzione.

Il dispositivo a transistor 1 viene ottenuto a partire da un substrato 2 semiconduttore ricoperto da uno strato protettivo di ossido.

In accordo con una forma di attuazione preferita, il metodo della presente invenzione è caratterizzato dal fatto di comprendere le seguenti
20 fasi operative:

- i- definizione, in modo di per sé noto, delle aree attive 4 del transistor 1 e di una regione di canale tra di esse, mediante apertura dello strato di ossido protettivo al disopra del substrato 2;
- ii- crescita di un ossido 5 di pad al di sopra delle aree attive 4 e del
25 canale per uno spessore di circa 100-500 Å; al di sopra del canale verrà realizzata una regione di gate secondo il metodo dell'invenzione;
- iii- deposizione di uno strato 6 di nitruro al di sopra dello strato di ossido 5. Lo spessore di questo strato 6 di nitruro può raggiungere i 300-900 Å;
- 30 iv- è prevista ora una fase di fotomascheratura per la definizione delle

zone 11 non attive che dovranno avere uno strato di ossido più spesso. Questa fase viene implementata mediante uno strato di resist 7 fotosensibile;

5 v- si procede in seguito ad una fase di attacco dello strato 6 di nitruro con rimozione dello stesso al di sopra del canale fino a riportare alla luce lo strato di ossido 5, come mostrato in figura 8;

10 vi- una successiva fase d'impiantazione consente di realizzare un arricchimento di un'area centrale del canale, sottostante la zona 11, con ioni P o As per un transistor N-channel e ioni B o Al per un transistor P-channel, l'energia d'impianto può essere regolata tra 60-500 KeV mentre le dosi di ioni possono essere nel range tra $1E12$ e $1E13$ ioni/cm²;

vii- si procede quindi alla rimozione dello strato 7 di resist;

15 viii- la fase successiva prevede la crescita di un primo strato 8 di ossido di gate di spessore variabile tra 800 e 3000 Å. Questa fase può prevedere un eventuale "drive in" di drogante;

ix- è previsto inoltre un attacco dello strato 6 di nitruro in umido mediante acido H₃PO₄;

20 x- un attacco selettivo in umido con HF consente di rimuovere anche lo strato di ossido 5 al disopra delle aree attive 4;

xi- si procede quindi con una crescita di uno strato di ossido sacrificale di circa 100-600 Å;

25 xii- questo strato di ossido sacrificale viene subito attaccato in umido mediante acido HF per riportare alla luce la regione di gate del transistor 1 al di sopra del canale ma ai lati della zona 11;

xiii- il metodo procede con la crescita di un secondo strato di ossido di gate, avente spessore variabile nel range di 100-1000 Å;

xvi- al di sopra della regione di gate viene depositato uno strato 12 conduttore, ad esempio di silicio policristallino, detto poly, che viene

sottoposto a drogaggio per modificarne a piacere la conducibilità;

xv- la struttura di transistore MOS così ottenuta può essere completata con ulteriori fasi di processo che proseguono secondo arte nota e portano alla definizione di convenzionali sacche di body che accolgono le aree attive 4 del transistore. Grazie alla presente invenzione tali sacche di body possono essere realizzate a ridotta spaziatura.

Dalla precedente descrizione deriva in modo evidente come il transistore ottenuto con il metodo secondo l'invenzione risulta essere un MOS planare con un doppio spessore di ossido di gate, vale a dire con uno strato di ossido più sottile nella zona di canale ed uno strato di ossido di spessore maggiore nella zona non attiva centrale del canale.

Inoltre, l'arricchimento nella zona di Jfet sottostante ed autoallineata allo strato di ossido più spesso consente di ridurre la spaziatura tra due sacche di body contigue e quindi di ridurre la superficie di ossido di gate, con ottenimento di una maggiorata densità d'integrazione o di impacchettamento dei transistori così ottenuti.

In figura 11 si riporta la sezione verticale di un transistore realizzato secondo l'invenzione. Tale sezione è stata ottenuta tramite simulazioni di processo in cui è possibile vedere l'ispessimento dell'ossido di gate e la localizzazione dello strato di arricchimento. In figura 11 viene anche riportato il profilo di concentrazione lungo la linea mediana tra le due sacche di body.

RIVENDICAZIONI

1. Metodo per l'ottenimento su un substrato (2) semiconduttore di dispositivi elettronici a transistore (1) MOS di migliorate prestazioni statiche e dinamiche e ad alta densità d'integrazione, detti transistori
5 avendo convenzionali aree attive (4) definite nel substrato (2) ai lati di una regione di canale al disopra della quale viene realizzata una regione di gate, caratterizzato dal fatto di comprendere almeno le fasi di:

- realizzare il transistore MOS a partire da una struttura planare con un doppio spessore di ossido di gate comprendente uno strato sottile nella
10 zona di canale a ridosso delle aree attive (4), ed uno strato di maggiore spessore nella zona (11) centrale al disopra del canale; e

- realizzare un regione (9) di arricchimento nella zona di Jfet al disotto di detto strato di maggiore spessore.

2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detta
15 regione (9) di arricchimento viene realizzata contemporaneamente ed in maniera autoallineata a detto strato di maggiore spessore di ossido.

3. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detto doppio spessore di ossido di gate ha complessivamente una ridotta superficie riducendo la spaziatura tra sacche di body contigue
20 avvolgenti dette aree attive (4).

4. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che, dopo la definizione delle aree attive (4) ai lati della regione di canale, comprende le seguenti fasi operative:

- crescita di un ossido (5) di pad al di sopra delle aree attive (4) e del
25 canale per uno spessore di circa 100-500 Å;

- deposizione di uno strato (6) di nitruro di 300-900 Å al di sopra dello strato di ossido (5);

- fotomascheratura per la definizione delle zone (11) non attive che dovranno avere uno strato di ossido più spesso;

- attacco dello strato (6) di nitrato con rimozione dello stesso al di sopra del canale fino a riportare alla luce lo strato di ossido (5);

- successiva impiantazione per realizzare detta regione (9) di arricchimento nell'area centrale del canale;

5 - crescita di detto primo strato (8) di ossido di gate di maggiore spessore.

5. Metodo secondo la rivendicazione 4, caratterizzato dal fatto di prevedere le ulteriori fasi di:

- attacco dello strato (6) di nitrato in umido;

10 - attacco selettivo in umido per rimuovere anche lo strato di ossido (5) al disopra delle aree attive (4);

- crescita di uno strato di ossido sacrificale;

- attacco in umido di questo strato di ossido sacrificale per riportare alla luce la regione di gate del transistor 1 al di sopra del canale;

15 - crescita di un secondo strato di ossido di gate ai lati della zona (11) con ossido di maggiore spessore.

6. Metodo secondo la rivendicazione 4, caratterizzato dal fatto che detta fase d'impiantazione è effettuata con ioni P o As per un transistor N-channel e ioni B o Al per un transistor P-channel, l'energia d'impianto è regolata tra 60-500 KeV mentre le dosi di ioni possono essere nel range tra $1E12$ e $1E13$ ioni/cm².

20

RIASSUNTO

L'invenzione riguarda un metodo per l'ottenimento su un substrato (2) semiconduttore di dispositivi elettronici a transistore (1) MOS di migliorate prestazioni statiche e dinamiche e ad alta densità d'integrazione, tali transistori avendo convenzionali aree attive (4) definite nel substrato (2) ai lati di una regione di canale al disopra della quale viene realizzata una regione di gate. Il metodo prevede almeno le seguenti fasi di:

- realizzare il transistore MOS a partire da una struttura planare con un doppio spessore di ossido di gate comprendente uno strato sottile nella zona di canale a ridosso delle aree attive (4), ed uno strato di maggiore spessore nella zona (11) centrale al disopra del canale; e
- realizzare un regione (9) di arricchimento nella zona di Jfet al disotto dello strato di maggiore spessore.

(Fig. 7)

FIG. 1 PRIOR ART

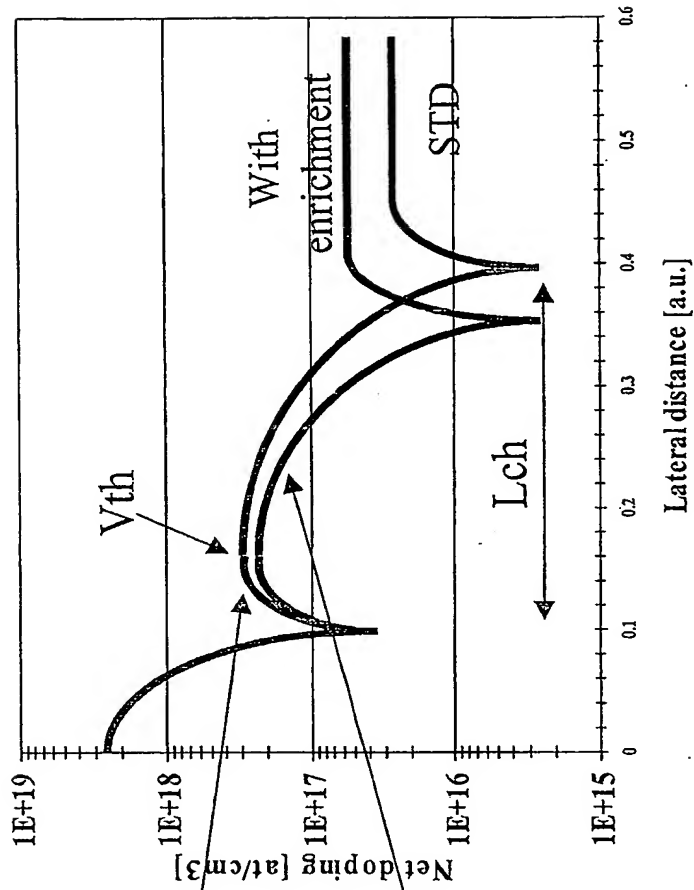
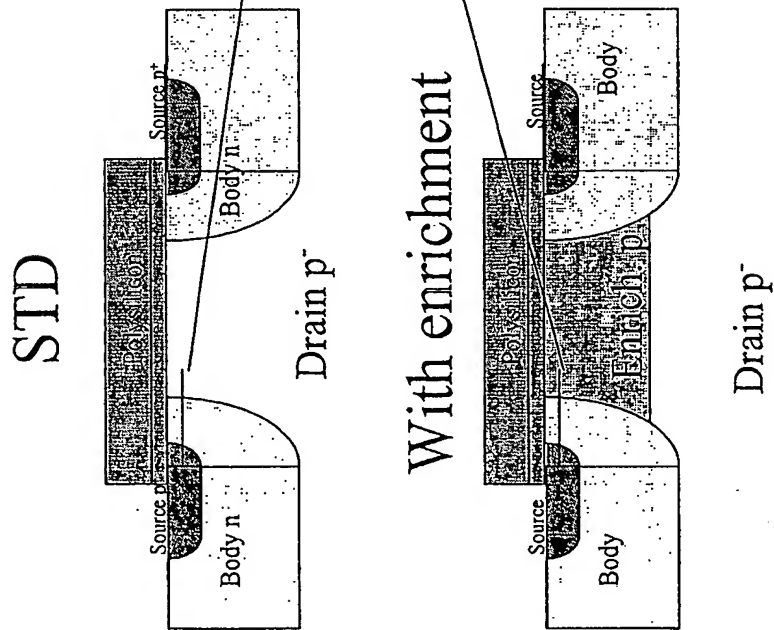
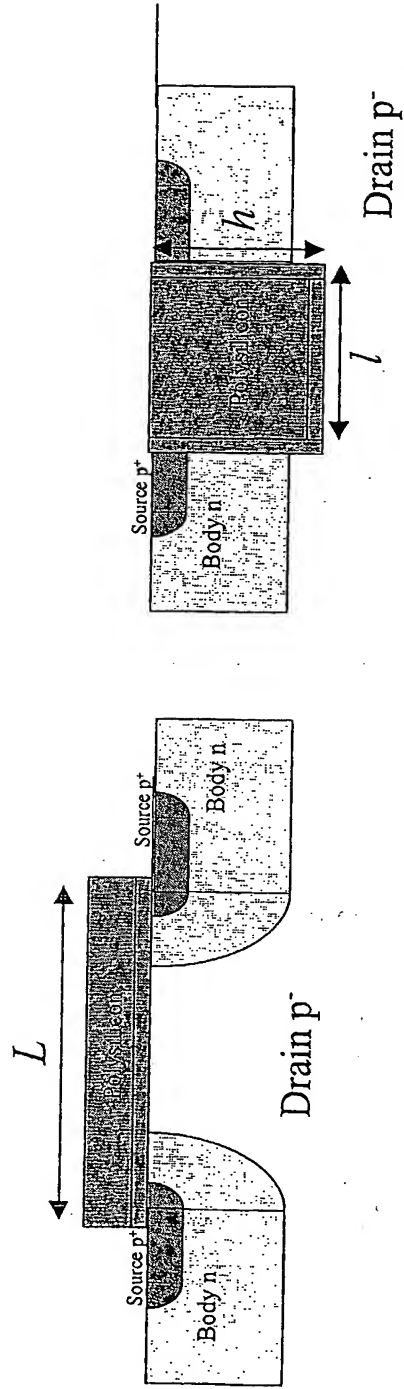


FIG. 3

FIG. 2 PRIOR ART

FIG. 4 STD Trench FIG. 5



2/5

Gate area " L " Gate area " $(l + 2h)$ "

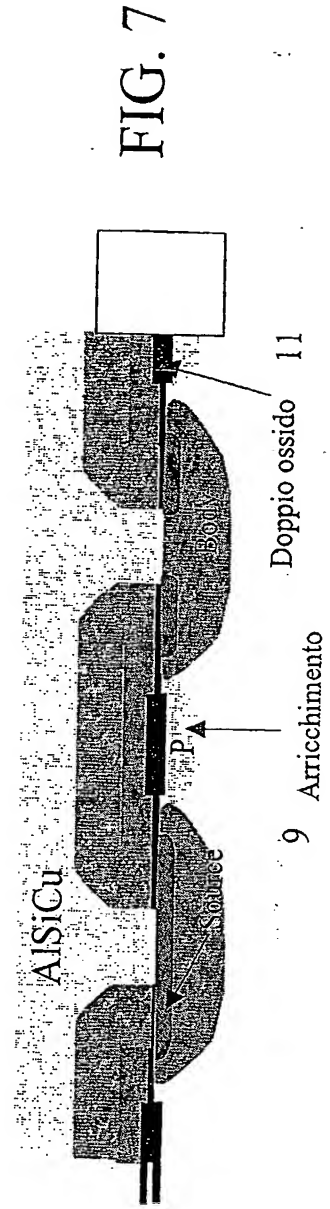


FIG. 7

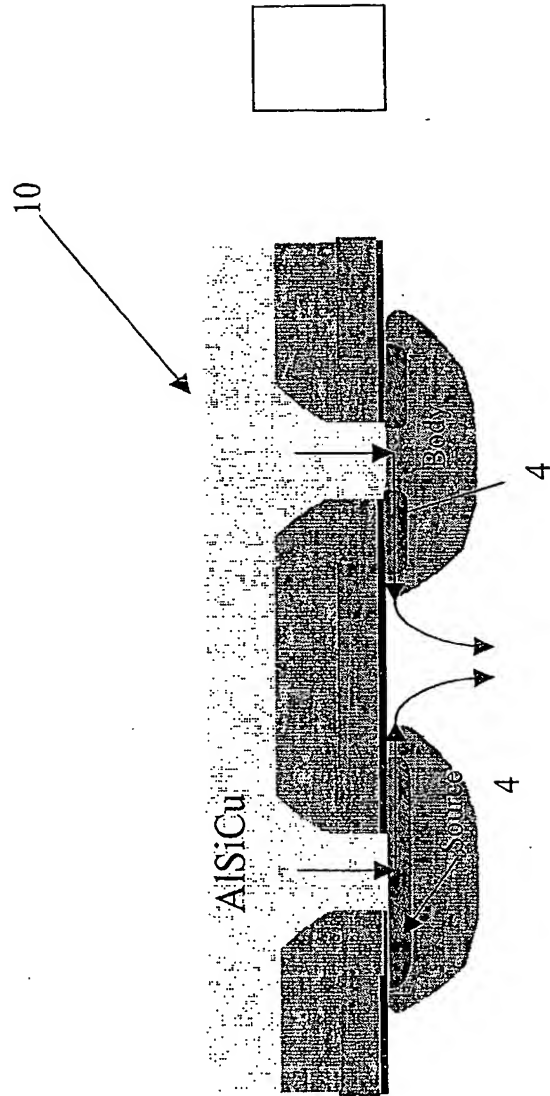


FIG. 6 PRIOR ART

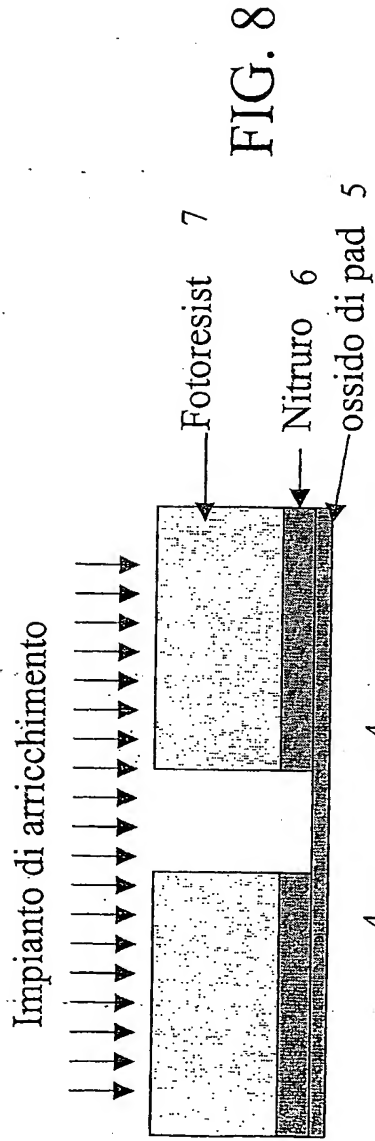


FIG. 8

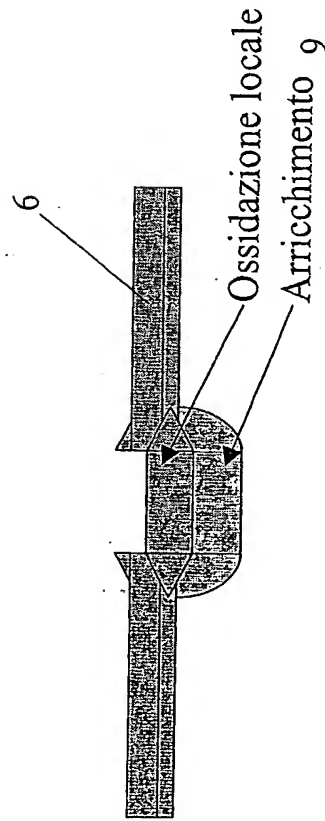


FIG. 9

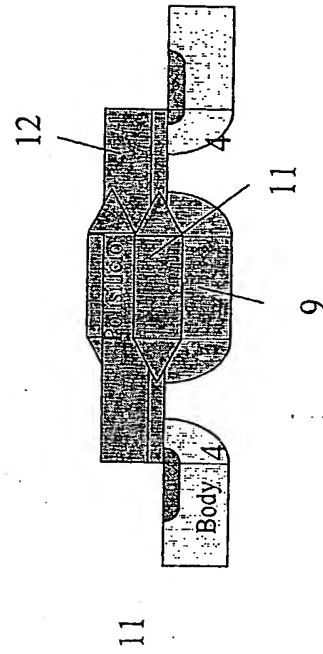


FIG. 10

FIG. 11

